

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-114414

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

G09G 3/20

G09G 3/36

(21)Application number : 07-272431

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.10.1995

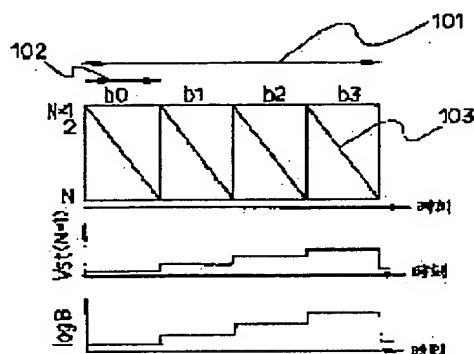
(72)Inventor : SUZUKI MUTSUZOU  
KUSUNOKI TOSHIAKI

## (54) IMAGE DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a switch element in each pixel and to simplify the constitution of the driving circuit for a data electrode by varying a stress voltage effective value according to subfield periods.

SOLUTION: One field period 101 is divided equally into four subfield periods 102. A control electrode as an electrode for applying a stress voltage  $V_{st}$  is connected to respective pixels as well as a scanning electrode. Therefore, respective pixels  $V_{st}$  can be varied interlocking with the voltage applied to the scanning electrode and even in an address period 103, the voltage can be applied continuously to a luminance modulating element. Namely, the maximum period (duty ratio) wherein the luminance modulating element of each pixel can be turned on in the one field period 101 can be almost one irrelevantly to an address speed. Further, each pixel is switched only by making an on/off choice about whether the pixel is made to illuminate or not.



## LEGAL STATUS

[Date of request for examination]

05.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-114414

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20 3/36		4237-5H	G 0 9 G 3/20 3/36	K

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21)出願番号 特願平7-272431

(22)出願日 平成7年(1995)10月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 鈴木 睦三

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 楠 敏明

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 中村 純之助

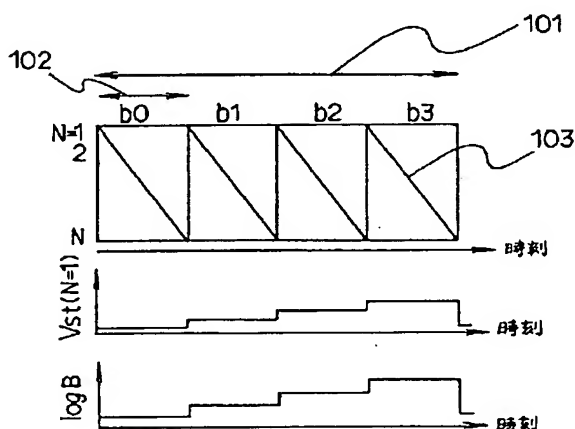
(54)【発明の名称】 画像表示装置

(57)【要約】

【課題】従来、画像表示装置で階調表示を行う場合、電圧調整法では、画素内スイッチ素子に対する製造上の制約、多い消費電力量、複雑な駆動回路などの問題があり、時分割階調表示法では、アドレス速度の高いスイッチ素子の要求の問題があり、これらの問題を解決した新しい階調表示法の提供が課題である。

【解決手段】輝度変調素子への印加電圧 $V_{st}$ を各サブフィールド102で変化させることにより、サブフィールドごとの輝度値 $B$ を変化させ、2の(サブフィールド数)乗の階調数を得る。

図1



101 ... 1フィールド期間

102 ... サブフィールド

103 ... アドレス期間

## 【特許請求の範囲】

【請求項 1】互いに平行な複数本の走査電極群と、それと直交する複数本のデータ電極群と、両電極群の交点の画素ひとつひとつに設けられたスイッチング素子と、該スイッチング素子に接続された、当該素子に印加されるストレス電圧実効値により輝度変調できる輝度変調素子とから構成され、かつ 1 フィールド期間内を複数個のサブフィールド期間に分割し、サブフィールド期間の 1 個または複数個の期間に画素を点灯させることにより輝度調整が行われる画像表示装置において、前記ストレス電圧実効値を前記サブフィールド期間に応じて変化させる駆動手段を有することを特徴とする画像表示装置。

【請求項 2】請求項 1 に記載の画像表示装置において、前記駆動手段が、各サブフィールド期間における輝度と時間の積の積分値が 2 の  $n$  乗 ( $n=1, 2, \dots, N_b$ ) に比例するような値になるように、前記ストレス電圧実効値を設定するものであることを特徴とする画像表示装置。

【請求項 3】請求項 1 または 2 に記載の画像表示装置において、前記輝度変調素子にストレス電圧を印加する制御電極が、前記走査電極と平行に設けられ、かつ各制御電極ごとに制御電極駆動回路が接続されたことを特徴とする画像表示装置。

【請求項 4】請求項 3 に記載の画像表示装置において、前記制御電極駆動回路を、2 種のストレス電圧を切り替える回路で構成したことを特徴とする画像表示装置。

【請求項 5】請求項 1 または 2 に記載の画像表示装置において、前記輝度変調素子として、金属-絶縁体-金属型陰極と蛍光体、フィールド・エミッション・アレイと蛍光体、およびエレクトロ・ルミネッセンス素子のうちから選ばれたものを用いたことを特徴とする画像表示装置。

【請求項 6】請求項 1 または 2 に記載の画像表示装置において、前記輝度変調素子として、液晶素子を用いたことを特徴とする画像表示装置。

【請求項 7】請求項 1 または 2 に記載の画像表示装置において、前記データ電極への印加電圧により前記ストレス電圧実効値を変化させ、かつ、該データ電極の駆動回路の出力電圧を設定する電源を共通とし、該電源の電圧を前記サブフィールドごとに変化させることを特徴とする画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電気信号に応じて情報を表示する表示素子を有する画像表示装置にかわり、特に、その表示素子の駆動手段に関する。

## 【0002】

【従来の技術】互いに直交する電極群の交点を画素とし、各画素への印加電圧を調整することにより画像を表示するマトリクス・ディスプレイには、液晶ディスプレ

イの他、フィールド・エミッション・ディスプレイ (FED)、エレクトロ・ルミネッセンス・ディスプレイ (ELD) などがある。例えば、FED は、特開昭 61-221783 号公報に記載されているように、各画素に微小な電界放出陰極を多数配置し、そこからの電界放出電子を真空中で加速したのち蛍光体に照射し、発光させるものである。

【0003】これらのマトリクス・ディスプレイでは、通常、線順次駆動法が用いられる。すなわち、ある一瞬では、 $N$  本の走査線のうち、ある 1 行上の画素しか発光していない。従って、ディスプレイの輝度は走査線数が増えるにつれて、 $1/N$  に比例して低くなる。

【0004】この問題を解決するために、各画素にスイッチング素子を設けて各画素のオン・オフ状態を記憶する、アクティブ・マトリクス駆動法が開発されている。ELD にアクティブ・マトリクス駆動法を用いた例が、例えば、“アイ・トリプルイー・トランザクションズ・オン・エレクトロン・デバイスズ、ED-22 巻、9 号 (1975 年) 739~748 頁 (IEEE Transactions on Electron Devices, Vol. ED-22, No9, (1975) p. 739-748)” に記載されている。図 2 はこの文献に記載された各画素のスイッチング素子の構成である。走査電極 21 に正電圧を印加するとトランジスタ A (Tr A) 31 がオン状態になるので、データ電極 22 への印加電圧がそのまま保持容量  $C_{a33}$  に蓄積される。従って、データ電極 22 に十分大きな正電圧が印加されていれば、トランジスタ B (Tr B) 32 も導通状態になるので、スイッチ素子電極 35 がアース電位になる。従って、スイッチ素子電極 35 をエレクトロ・ルミネッセンス素子の下部電極とし、もう一方の電極 51 に電圧を印加しておく、EL 素子の両端に電圧が印加される。一方、データ電極 22 をアース電位にした場合には、トランジスタ B 32 がオフのままなので、EL 素子には電圧が印加されない。この状態はトランジスタ A 31 がオフになっても保たれる。すなわち、もう一度走査電極に正電圧を印加してトランジスタ A 31 をオン状態にするまで、EL 素子に電圧が印加され続け、発光し続ける。

【0005】このようなアクティブ・マトリクス駆動のディスプレイで階調を表示する方法は二つある。その一つは、「電圧変調法」で、データ電極 22 に印加する電圧を調整して、トランジスタ B 32 のゲート電圧を調整し、トランジスタ B 32 を非飽和領域で動作させる。すると、ゲート電圧に応じてトランジスタ B 32 のインピーダンスが変化するので、EL 素子に印加される電圧も変化し、輝度が変わられる。

【0006】もう一つは、「時分割階調表示法」である。これは 1 フィールド期間中の発光時間を変えることにより階調を変えるものである。図 3 は、時分割階調表示法で 16 階調を表示するときの駆動シーケンスを示したものである。縦軸は、1 番目の走査電極から  $N$  番目の

走査電極を示し、横軸は時刻を示す。1フィールド期間を4つのサブフィールド期間に分割する。n番目 ( $n=0, 1, 2, 3$ ) のサブフィールド期間 (ビット  $n$  ( $B_n$ ) と呼ぶ) の長さが、2の  $n$  乗に比例するように、各サブフィールド期間の長さを決める。すると、どのビットを点灯するかによって、16階調の表示ができる。例えば、全ビットを点灯させたときの輝度は、ビット0のみを点灯させたときの15倍になる。

【0007】

【発明が解決しようとする課題】電圧変調法により階調表示を行う場合には、トランジスタB32の非飽和領域で動作させるので、画面全体で均一な表示を行うには、ディスプレイ中の全画素のトランジスタB32の電流-電圧特性を揃える必要があり、製造が困難であった。また、非飽和領域での動作のため、特にトランジスタB32を高インピーダンスで動作させる場合には、トランジスタBでの電力消費が多くなり問題であった。さらに、データ線を駆動する駆動回路は、例えば256階調表示の場合には、256種の電圧レベルを出力させるため、複雑な回路を必要とし、しかも、それがデータ線の本数と同じ数だけ必要であるため、駆動回路のコストが高かった。

【0008】一方、時分割階調表示法では、各サブフィールドごとに各画素の点灯・非点灯を選択する (アドレス) 必要がある。図3の斜め線は、どの時刻で、アドレスを行うかを示している。同時に2本の走査電極をアドレスすることはできないので、図3からわかるように、1走査電極あたりのアドレス時間は、最小時間幅のサブフィールド期間、すなわち、図3の場合では、ビット0の時間長さを走査電極本数  $N$  で割ったもの以下でなければならない。通常のテレビ画像表示では、256階調表示が必要なので、ビット数  $N_b$  は8となり、また、1フィールドは16.6msである。従って、輝度発生デューティ比を最大限に設定するためには、ビット0の時間長さは、

$16.6\text{ms} / (1+2+4+8+16+32+64+128) = 65\mu\text{s}$  となる。走査電極数  $N=1000$  本では、1走査電極あたり、 $65\text{ns}$  となり、トランジスタB32として極めて高速な素子が要求され、通常実現困難である。そのため、実際には、スイッチ素子のアドレス速度に合わせて、最小時間幅サブフィールドの時間幅を設定することになる。すなわち、 $n$  ビット目のサブフィールドの時間幅を2の  $n$  乗に比例させるのではなく、低位のビットにより長い時間を割り当てる。従って、その分、高位ビットの期間が短くなるので、輝度発生デューティ比は小さくなってしまふ。

【0009】以上のように、従来、階調表示を行う場合、電圧変調法では、画素内スイッチ素子に対する製造上の制約があり、消費電力が多く、駆動回路が複雑でコストが高くなるという問題があり、また、時分割階調表

示法では、スイッチ素子に対してアドレス速度の高いことが要求されるという問題があった。本発明の目的は、これらの問題を解決した新しい階調表示の方法を提供することである。

【0010】

【課題を解決するための手段】本発明は、互いに平行な複数本の走査電極群と、それと直交する複数本のデータ電極群と、両電極群の交点の画素ひとつひとつに設けられたスイッチング素子と、該スイッチング素子に接続された、当該素子に印加されるストレス電圧実効値により輝度変調できる輝度変調素子とから構成され、かつ、1フィールド期間内を複数個のサブフィールド期間に分割し、サブフィールド期間の1個または複数個の期間に画素を点灯させることにより輝度調整が行われる画像表示装置において、前記ストレス電圧実効値を前記サブフィールド期間に応じて変化させる駆動手段を設け、これにより階調表示を行うようにしたものである。

【0011】

【発明の実施の形態】本発明の実施の形態の第1の例を、図24のスイッチング素子構成の画像表示装置を例に説明する。図24の構成は、走査電極21、データ電極22などの構成は図2と同じであるが、輝度変調素子41の制御電極51の配線が異なっている。すなわち、同一の走査電極21に結線されている画素は、やはり同一の制御電極51に結線される。なお、本発明は、図2に示す構成の画像表示装置でも実現できるが、これについては後述する。前述の通り、走査電極21とデータ電極22との組み合わせにより、スイッチ素子電極35の電位が決まり、輝度変調素子41のオン・オフが決まる。

【0012】本例での階調表示方法を図1を用いて説明する。図1では4ビット、すなわち16階調の階調表示をする場合を示している。1フィールド期間を4つのサブフィールド期間に等分する。 $V_{st}$  ( $N=1$ ) は第1番目の走査電極 ( $N=1$ ) に対応する制御電極に印加するストレス電圧である。 $B$  は、輝度変調素子に  $V_{st}$  ( $N=1$ ) なるストレス電圧を印加したときの輝度の値である。ここでは、対数で示してある。ビット  $n$  の輝度値  $B_n$  が、2の  $n$  乗に比例するようになっている。人間の目を感じる体感輝度値は、1フィールド期間全体での (輝度)  $\times$  (時間) の積分値であるから、サブフィールド期間の時間長さが等分してあっても、各サブフィールドを適宜選択することにより、時分割階調表示の場合と同様、4ビットで16階調の表示ができる。なお、本明細書中の「輝度」とは発光強度のみを意味するのではない。例えば、反射型液晶ディスプレイの場合、「コントラスト」が本明細書中の「輝度」に相当する。

【0013】ストレス電圧  $V_{st}$  を印加する電極である制御電極を走査電極21と同じように各画素に結線しているため、走査電極21への印加電圧に連動して各画素

Vstを変化させることができ、従って、アドレス期間103（図1中の斜め線の期間）も輝度変調素子41に電圧を印加し続けることができる。すなわち、1フィールド期間のうち各画素の輝度変調素子41をオンできる最大期間（デューティ比）は、アドレス速度に関係なく、ほぼ1にできる。このため、走査電極本数Nが増加しても高輝度な表示ができる。

【0014】本発明では、各画素でのスイッチングは、その画素を点灯するか、しないかのオン・オフの選択でよいことが重要である。従って、各画素のスイッチング素子は、飽和領域で動作させればよく、電流－電圧特性の均一性に対する要求は、前述の電圧変調法の場合と比べて、大幅に緩和される。また、各画素のスイッチング素子での消費電力は、最小限に抑えられる。さらに、データ電極の印加電圧は2値で良いため、駆動回路が大幅に簡略化される。

【0015】この場合のアドレス時間を考える。図1の斜め線からわかるように、1サブフィールド期間あたりのアドレス時間は、1フィールドをビット数（サブフィールドの数）で割ったものである。従って、1フィールド期間＝16.6ms、8ビット表示（256階調）の場合でも、2.1msである。従って、走査電極数N＝1000本の時でも1走査線あたりのアドレス時間は2.1μsとなり、従来の時分割階調表示法に比べて、300倍の時間が割り当てられることになり、現在の技術で容易に達成できる。

【0016】また、アドレス速度がある程度はやい場合は、図4に示すように、各サブフィールド期間内をアドレス期間103と輝度発生期間104とに分離することも可能である。図4において、ハッチングした部分が輝度発生期間104である。アドレス期間103（斜め線を引いた期間）には、ストレス電圧Vstを印加せず、各画素のオン・オフを選択するだけにする。N本の走査電極すべてについてアドレスが終了してから、Vstを印加して、輝度を発生させる。この方法では、Vstを全画素について共通にできるので、図2のように制御電極を全画素について共通にでき、画像表示装置の構造を簡単化できるという利点がある。ただし、輝度発生のデューティ比が低下するという欠点もある。

【0017】また、これまでの説明では、各サブフィールド期間の時間長さを均等に分割した例を説明したが、各サブフィールドごとの輝度の時間積分値を適切に設定することが本発明の本質であるから、均等にする必要は必ずしも無い。例えば、従来の時分割階調駆動法では、高輝度に対応するサブフィールドが多くの時間を占めて、アドレス時間を逼迫することから、高輝度サブフィールドのみについてストレス電圧を変えて輝度を高める、というの也有用であるが、これも本発明の範疇に入るのは言うまでもない。

【0018】本発明の実施の形態の第2の例を説明す

る。ここで用いられる画像表示装置は、スイッチ素子アレイと、輝度変調素子部、および駆動回路部とから構成される。以下、この順番で説明する。

【0019】スイッチ素子アレイ30は、各画素のオン・オフを選択するスイッチ素子をアレイ状に設けたものである。その回路構成を図24に示した。この回路の動作シーケンスについては、すでに述べた。なお、図24では、輝度変調素子41と制御電極51も記されているが、スイッチ素子アレイ30には、これらは含まれない。

【0020】スイッチ素子アレイ30は、SOI（Silicon On Insulator）構造のシリコン基板上に製作する。1画素中のスイッチング素子の構造を図5（平面レイアウト図）と図6（断面図）に示す。

【0021】シリコン基板361上にSiO<sub>2</sub>層362を設け、その上にp型シリコン単結晶層363を作成したSOI基板を使用する。トランジスタA31は、ゲート311、ソース312、ドレイン313、ゲート酸化膜365から構成される。トランジスタB32は、ゲート321、ソース322、ドレイン323、ゲート酸化膜365から構成される。トランジスタA31とトランジスタB32とは、フィールド酸化膜364により素子分離されている。トランジスタA31のドレイン313とトランジスタB32のゲート321は、A1などを用いた容量電極331により互いに接続されている。容量電極331は図5からわかるように、アース電極23との間で保持容量Cs33を形成する。

【0022】これらの素子はSiO<sub>2</sub>で構成されるパシベーション膜366で覆われている。パシベーション膜366の一部にスルーホールを形成し、そこを通じてトランジスタB32のドレイン323とスイッチ素子電極35とを接続する。スイッチ素子電極35はA1などで構成する。以上の構造は、通常の半導体プロセスを用いて製作する。

【0023】図5、図6では、スイッチ素子電極35をトランジスタA31、トランジスタB32と重ならないように配置した例を示したが、これら2つのトランジスタと平面的に重なるようなレイアウトで、パシベーション膜366上に形成しても良い。このようにすると、より小さな面積で1画素を形成することができ、高精細な画像表示装置を得られる利点がある。

【0024】また、図6では、トランジスタB32として通常のnMOSトランジスタを使用した例を示したが、DMOS構造のMOSトランジスタを使用しても良い。こうすると、輝度変調素子41の駆動に高電圧や大電力が必要な場合にも対応できる。

【0025】また、以上の説明では、SOI基板を用いた例を示したが、通常のシリコン基板を用いても良い。あるいは、石英など、透光性絶縁基板上に薄膜トランジスタを用いて図2の回路を実現してももちろん良い。

【0026】以上のように製作したスイッチ素子アレイ30は図7のような構造をしている。すなわち、基板上にスイッチ素子電極35がマトリクス状に配置されている。なお、図7では、わかりやすくするために、走査電極21、データ電極22、アース電極23が描かれているが、実際には、基板端部の駆動回路への接続部を除いて、パシベーション膜366に被覆されているため、スイッチ素子アレイ30の表面には現れない。また、図7では、スイッチ素子電極35が3×3個しか描かれていないが、実際には作ろうとする画像表示装置の画素の数だけスイッチ素子電極35が配列される。

【0027】輝度変調素子41として金属-絶縁体-金属(MIM)陰極と蛍光体との組み合わせを用いた例を図8に示す。陽極酸化法またはスパッタ法などにより、A1製のスイッチ素子電極35の表面に膜厚5nm程度の絶縁層512を $Al_2O_3$ で形成する。スイッチ素子電極35の端部への電界集中を防止するための保護層515として $Al_2O_3$ または $SiO_2$ をスパッタ法などで形成する。MIM陰極の上部電極513として、Auなどの膜を5~10nm程度の膜厚で形成する。上部電極513として、3nm程度の膜厚のPtと3nm程度の膜厚のAuの2層構造にすると、MIM陰極の性能向上に効果がある。続いて、各画素の上部電極513を駆動回路に結線するための制御電極51をAuなどで形成する。

【0028】一方、ガラスなど透光性材料の面板520上に加速電極525をITO(Indium Tin Oxide)など透明導電材料で形成し、その上に蛍光体526を形成する。蛍光体526には低速電子線励起でも発光効率が高いもの、例えば、 $ZnO:Zn$ などを用いると良い。この面板520と先に製作したMIM陰極を積層したスイッチ素子アレイ30とを封着し、内部を真空530に排気する。

【0029】図9は駆動回路への結線方法を示す。走査電極21は走査電極駆動回路221へ、データ電極22はデータ電極駆動回路222へ、制御電極51は制御電極駆動回路251へそれぞれ結線する。加速電極525は加速電極駆動回路225に結線する。また、図9には描かれていないが、スイッチ素子アレイ30中のアース電極23は、アース電位に固定する。

【0030】図10は各電極への印加電圧波形を示したものである。走査電極21、データ電極22、制御電極51をそれぞれSC、DT、CTで表す。さらに、n行目の走査電極をSCnで表すことにする。図10では、簡単のために、2ビット、すなわち4階調表示の場合を示した。図には示していないが、加速電極525へは400V程度の電圧を常時印加する。

【0031】第1サブフィールド、すなわちビット0(b0)での動作を説明する。時刻t0ではいずれのセルも点灯していない。時刻t0~t1では、SC1に正

電圧が印加されるので、SC1に接続された画素のトランジスタA31がオン状態になる。このとき、すべてのデータ電極22に正電圧が印加されるので、1行目の全画素のトランジスタB32のゲートがオン状態になる。CT1には振幅 $V_1$ のパルス電圧が印加されている。CT1の電圧が $V_1$ のとき、上部電極513とスイッチング素子電極35の間に電圧 $V_1$ が印加されるため絶縁層512に高電界が印加され、これにより電子がMIM陰極から真空530へ放出される。このときの放出電流を $I_1$ とする。放出電子は加速電極525に印加された電圧で加速された後、蛍光体526に衝突して発光する。時刻t1においてトランジスタA31がオフ状態になるが、保持容量33に働きで、トランジスタB32はオン状態が続くので、MIM陰極からの電子放出は続き、蛍光体も発光し続ける。

【0032】時刻t1~t2の間では、SC2が正電圧になるので、2行目の画素がアドレスされる。このとき、DT2が正電圧なので、2行目の画素では2列目のみが点灯する。このようにして、第1サブフィールドが終了した時点(時刻t3)では、図11の左側のような点灯状況になる。この図では、各画素の輝度を示してある。同様にして、第2サブフィールドでは、図11の真ん中の図のようなパターンで画素が点灯する。ただし、第2サブフィールドでは、MIM陰極からの放出電流が $2 \times I_1$ となるようにCTnへの印加電圧 $V_2$ を設定してあるので、点灯する画素の輝度は、第1サブフィールドの場合の2倍になる。従って、1フィールド全体での輝度は、第1サブフィールドと第2サブフィールドとの和になるので、図11の右側のようなになる。このようにして、輝度0から輝度3まで、4階調の表示ができる。

【0033】なお、CT1に印加する電圧は、図10ではパルス電圧にしてあるが、t0~t3の間は一定電圧 $V_1$ に保ち、時刻t3~t6の間を一定電圧 $V_2$ に保っても良い。ただし、パルス電圧にすることにより、MIM陰極の寿命が長くなるという利点がある。このように、本発明では、制御電極51に印加する電圧をサブフィールドごとに変えることが本質的であり、その電圧を直流電圧で実現するかパルス電圧で実現するかは本質的なことではない。

【0034】本発明の実施の形態の第3の例を図12を用いて説明する。スイッチ素子アレイ30上のスイッチ素子電極35の上に抵抗層541をSi等で形成し、その上に1~2 $\mu m$ の膜厚の絶縁層543を形成し、さらにその上にAl、Auなどで制御電極51を形成する。制御電極は、図24のように各画素に配線されるようなパターンにする。制御電極51と絶縁層543に直径1 $\mu m$ 程度の穴を開けて、そこにMoの材料をコーン状に蒸着してエミッタチップ542とする。エミッタチップ542は、1画素に対応するスイッチ素子電極35上に103~104個程度作製する。以上のようにしてスイ

ッチ素子電極35上にフィールド・エミッタ・アレイを形成する。なお、フィールド・エミッタ・アレイのより詳細な作製方法は、例えば、特開昭61-221783号公報に記載されている。

【0035】一方、前の例と同様に、ガラスなどの透光性基板520上に加速電極525をITOなど透明導電材料で形成し、その上に蛍光体526を形成する。蛍光体526には低速電子線励起でも発光効率が高いもの、例えばZnO:Znなどを用いると良い。この基板520と先に製作したフィールド・エミッタ・アレイを積層したスイッチ素子アレイ30とを封着し、内部を真空530に排気する。

【0036】走査電極21、データ電極23、制御電極51、加速電極525は図9のように各駆動回路に結線する。加速電極へは前の例と同様、400V程度の一定電圧を常時印加しておく。走査電極21、データ電極23への印加電圧波形は、図10と同じである。制御電極51への印加電圧は、図10とは少し異なる。すなわち、第1番目の制御電極CT1への印加電圧波形は、時刻 $t_0 \sim t_3$ の間は電圧 $V_1$ に一定に保ち、時刻 $t_3 \sim t_6$ の間は電圧 $V_2$ に一定に保つ。 $V_1$ 、 $V_2$ は30~100V程度の電圧である。

【0037】このような電圧波形を印加すると、走査電極21とデータ電極22への印加電圧の組み合わせにより、画素のトランジスタB32がオン状態になった画素では、制御電極51とエミッタチップ542の間に $V_1$ または $V_2$ なる電圧がかかる。これにより、エミッタチップ542先端から電子が真空中に放出され、蛍光体526に衝突して発光する。この場合も、適切な階調表示が得られることは、前の例での説明から明らかである。

【0038】次に、本発明の実施の形態の第4の例として、輝度変調素子41にエレクトロ・ルミネッセンスを用いた例を図13を用いて説明する。スイッチ素子アレイ30上のスイッチ素子電極35の間に電極間絶縁層555を $Al_2O_3$ 等で形成し、表面を平坦化する。次に下部絶縁層551を電子ビーム蒸着法などで形成する。下部絶縁層551は、膜厚50nm程度の $Al_2O_3$ と膜厚50nm程度の $Y_2O_3$ を積層した構造などを用いる。その上に発光層552として、ZnS:Mnなどを0.5~1 $\mu m$ 程度の膜厚で、熱蒸着法などで形成する。その上にさらに上部絶縁層553として、下部絶縁層551と同様な $Y_2O_3/Al_2O_3/Y_2O_3$ 等で形成した後、制御電極51をITOなどの透明導電膜で画像表示装置全面に形成する。すなわち、図2の回路構成に相当する。最後に、膜厚500nm程度の $Al_2O_3$ などで画像表示装置全体を覆い、保護膜554とする。保護層554を形成することにより、発光層への水分の侵入を防ぎ、発光層の経時劣化を防ぐことができ、長寿命化を達成できる。

【0039】駆動回路への結線方法は、図9に示したと

おりである。ただし、この例の場合、加速電極525に対応する電極はないので、加速電極駆動回路225は不要である。また、制御電極51は全画素共通なので、制御電極駆動回路251も1個でよい。各電極への印加電圧波形を図25に示した。これは、図4に示したような、アドレス期間103と輝度発生期間104とを分離した構成である。時刻 $t_0 \sim t_3$ の期間がビット0のサブフィールドのアドレス期間である。この期間で、各画素のスイッチ素子電極35がアース電位になるかフローティング電位になるかが選択される。時刻 $t_3 \sim t_4$ の期間は輝度発生期間で、アース電位の画素は発光するし、フローティング電位の画素は発光しない。同様に、時刻 $t_4 \sim t_7$ がビット1のサブフィールドのアドレス期間で、時刻 $t_7 \sim t_8$ が輝度発生時間である。 $V_1$ 、 $V_2$ は50~200V程度である。

【0040】次に、輝度変調素子41として液晶表示素子を用いた実施の形態の第5の例を図14を用いて説明する。透光性絶縁基板上に薄膜トランジスタを用いて製作したスイッチ素子アレイ30を用いる。透光性・絶縁性の基板562にITOなど透明導電性材料を用いて制御電極51を形成する。図24のように、同一の走査電極21に結線される画素を、同一の制御電極51で結線するように形成する。これらのスイッチ素子アレイ30と基板とを封着して、その間の空間に液晶物質560を注入する。最後に、これを2枚の偏光板563、564によって挟み込む。

【0041】各電極は図9に示したように各駆動回路へ結線する。ただし、この例では、加速電極525に相当する電極はないので、加速電極駆動回路225は不要である。各電極への印加電圧波形は、制御電極51への印加電圧波形以外は、図10に示したものと同じである。制御電極CT1への印加電圧波形は、時刻 $t_0 \sim t_3$ までは直流電圧 $V_1$ とし、時刻 $t_3 \sim t_6$ までは直流電圧 $V_2$ とする。また、次のフィールド期間の $t_0 \sim t_3$ では電圧 $(-V_1)$ とし、その次の $t_3 \sim t_6$ は $(-V_2)$ とする。このように、フィールドごとに液晶物質への印加電圧の極性を反転させることにより、液晶物質の経時劣化を防ぎ、長寿命化を図ることができる。

【0042】図14の構成では、通常の液晶ディスプレイのように、液晶物質に電界が印加されると、電界強度に応じて偏光板を含めた透過率に変化する。従って、前に述べた駆動電圧波形を印加すると、走査電極21とデータ電極22との組み合わせにより画素内トランジスタB32がオン状態になった画素では、ストレス電圧 $V_1$ に応じた透過率が得られる。従って、 $V_1$ と $V_2$ を適当な大きさに設定することにより、階調表示ができる。

【0043】本発明の実施の形態の第6の例を図15を用いて説明する。この例では、制御電極51をスイッチ素子アレイ30と同一基板上に設ける。図15に示したように、画素内トランジスタB32のソースを制御電極



51に結線する。この構成では、トランジスタB32がオン状態にある画素では、制御電極51に印加した電圧が、スイッチ素子電極35に印加されることになる。従って、ストレス電圧共通電極52に一定の電圧（直流電圧あるいはパルス電圧）を印加しておけば、制御電極51の印加電圧とストレス電圧共通電極52への印加電圧との差の電圧が輝度変調素子41に印加されるので、これまでに説明してきた例と同様の原理で階調を表示することができる。

【0044】次に、制御電極駆動回路251の回路構成の一例を図16、図17を用いて説明する。前にように、アドレス期間にも輝度変調素子41を動作させ、輝度発生デューティ比を高めようとする場合には、図24のように、制御電極51を走査電極21と対応させて設ける必要がある。この場合、例えば図10の駆動電圧波形図からわかるように、制御電極51に印加する電圧値を $V_1$ から $V_2$ に切り替える時刻は、制御電極51により異なる。従って、走査電極21の本数Nだけの制御電極駆動回路251が必要になる。また、例えば、8ビット、256階調の表示をする場合には、これらの各駆動回路が8種の異なる電圧レベルの電圧を発生させなければならず、複雑な回路構成の駆動回路が多数必要になる。

【0045】この問題を解決するのが、図16、図17に示した回路構成である。図10からわかるように、あるサブフィールド、例えば、ビットn( $b_n$ )の期間内を見ると、制御電極51に印加する電圧は、そのビットに対応する電圧 $V_{bn}$ と、その1個前のサブフィールドに対応する電圧 $V_{bn-1}$ の2種類しかない。この事実を利用すると、図16に示したように、あるサブフィールド $b_n$ では、 $V_{bn-1}$ と $V_{bn}$ とを発生し、それを各制御電極51に接続した制御電極駆動回路251内で切り替えていけばよいことがわかる。

【0046】図17は、図16の制御電極駆動回路251を実現する回路構成の一例を示したものである。図17(a)は、1サブフィールド内で一定電圧（直流電圧）を印加する場合の回路構成である。電圧 $V_{bn-1}$ は、トランジスタ611とダイオード612を介して駆動回路の出力端子に結線される。電圧 $V_{bn}$ は、トランジスタ621とダイオード622を介して駆動回路の出力端子に結線される。トランジスタ621のゲートの前段には否定論理回路623を接続する。このようにすると、信号電圧SIG-b(N)により、トランジスタ611と612のいずれかがオン状態になるので、図16の251の回路が実現できる。

【0047】図17(b)は、図10に示したように制御電極51にパルス電圧を印加する場合の回路構成である。図17(a)の回路の出力を電源とする、プッシュ・プル型のパルス発生回路を設けてある。発生すべきパルス電圧の周期、パルス幅に相当する信号電圧SIG

bstを、p型トランジスタ631とn型トランジスタ632のゲートに印加すると、所望の電圧振幅を有するパルス電圧波形を得ることができる。このようにして、図16、図17の回路構成を用いると、各制御電極51ごとに結線する制御電極駆動回路251の回路構成をきわめて簡略化することが可能になり、大幅なコストダウンを実現できる。

【0048】また、制御電極51にパルス電圧を印加させる場合、図17(b)の回路構成の代わりに、各制御電極51に接続する制御電極駆動回路251にアナログ・スイッチを用いてもよい。この場合、 $V_{bn-1}$ 、 $V_{bn}$ として、所望のパルス電圧を用いる。

【0049】次に、本発明の実施の形態の第7の例として、輝度変調素子として液晶物質を用いた例を図18、図19、図20、図21、図22を用いて説明する。図18は、この例でのスイッチ素子アレイ30の回路構成を示す。走査電極21に正電圧を印加すると、トランジスタA31がオン状態になり、データ電極22に印加した電圧が保持容量33にたまる。この電圧は、トランジスタA31がオフになっても保持される。この保持容量33に保持された電圧がスイッチ素子電極35に現れるため、ストレス電圧共通電極52の印加電圧との差の電圧が輝度変調素子41（この例では液晶物質）に印加される。液晶物質を輝度変調素子41に用いた場合は、スイッチ素子電極35からストレス電圧共通電極52に流れる電流は極めて小さいので、このような1トランジスタ構成でも十分電圧が保持される。

【0050】図19、図20は、図18のスイッチ素子アレイ30の1画素の構造を示したものである。図19が平面レイアウト図、図20が断面構造図である。SiO<sub>2</sub>層362の上にp型シリコン単結晶層363を形成したSOI基板を用いる。ゲート酸化膜365を形成し、トランジスタA31のゲート311をn+型シリコンで形成する。トランジスタA31のソース312、ドレイン313としてn+型シリコン領域をイオン打ち込みなどの方法で形成する。さらに、アース電極23をA1などの材料で形成する。さらにパシベーション膜366で覆う。スイッチ素子電極35をA1などの材料で形成する。スイッチ素子電極35は、スルーホールを通してトランジスタA31のドレイン313と接続する。図20には示していないが、隣り合う画素のトランジスタAとは、フィールド酸化膜によって素子分離を行う。

【0051】図21は、このように作製したスイッチ素子アレイ30を用いた画像表示装置の断面図である。透光性かつ絶縁性の面板562の表面に透明導電膜のITOなどを成膜し、ストレス電圧共通電極52とする。この面板とスイッチ素子アレイ30とを接着して、隙間に液晶物質560を注入する。液晶物質としては、ゲストホスト型液晶分子を用いる。このようにすると、偏光板を使用することなく輝度変調を行える。また、この例で



は、反射型液晶ディスプレイとして動作させる。

【0052】各電極は、図22に示したように、各駆動回路に結線する。ストレス電圧共通電極52はストレス電圧駆動回路252に結線する。

【0053】図23は各電極への印加電圧波形を示したものである。ここでは、説明を簡単にするために、2ビットすなわち4階調の場合を示した。 $V_{st1}$ はストレス電圧共通電極52に印加する電圧波形である。ビット0のサブフィールドでは、時刻 $t_0 \sim t_1$ においては、第1走査電極SC1が正電圧になり、かつデータ電極DT1～DT3に電圧 $V_1$ が印加されるので、液晶物質には $V_1$ が印加され、対応する輝度が得られる。時刻 $t_1 \sim t_3$ の間も液晶物質には $V_1$ なる電圧が印加され続けるので、高いデューティ比で輝度発生が行える。時刻 $t_1 \sim t_3$ の間に第2、第3の走査電極SC2、SC3が選択され、その結果、ビット0全体では、図11の左側のような輝度パターンが得られる。同様にしてビット1のサブフィールドでは、図11の真中に示した輝度パターンが得られる。ビット1では、データ電極22に印加する電圧を $V_2$ にするが、発生する輝度がビット0のときの2倍になるように $V_2$ を設定する。従って、1フィールド全体では、図11の右側に示したように、4階調のパターンが得られる。

【0054】時刻 $t_6$ から始まる第2フィールドでは、ストレス電圧共通電極52への印加電圧を $V_{st0}$ に設定する。そしてデータ電極22への印加電圧を、ビット0では( $V_{st0} - V_1$ )に、ビット1では( $V_{st0} - V_2$ )に設定する。第3フィールドでは第1フィールド同様、 $V_1$ 、 $V_2$ を印加する。このように液晶物質560に印加する電圧の極性をフィールドごとに反転させることにより、液晶物質560の経時劣化を防ぎ、画像表示装置の長寿命化を達成できる。

【0055】図23からわかるように、データ電極22に印加する電圧は、ビット0のサブフィールドではすべて $V_1$ であり、ビット1のサブフィールドではすべて $V_2$ である。従って、データ電極駆動回路222は、図22に示したように、電圧 $V_b$ か0Vかのいずれかを出力する回路にし、 $V_b$ の大きさをサブフィールドごとに変えればよい。従って、従来の電圧変調型の場合のデータ電極駆動回路と比べて、回路構成が大幅に簡略化され、コストダウンが図れる。

【0056】なお、この例では、スイッチ素子アレイ30をSOI基板上に形成したが、p型シリコン基板上に製作してもよい。また、例えば特公昭61-18755号公報に記された液晶表示パネルのように、透光性基板上に薄膜トランジスタを用いて図18の回路を形成し、TN(ツイスト・ネマチック)液晶と偏光板の組み合わせにより透過型の液晶ディスプレイを製作することもできる。これらの場合も、図22、図23の構成で階調表示を実現できる。

【0057】

【発明の効果】本発明の駆動方法を用いると、各画素に設けられたスイッチ素子の非飽和領域でも特性を揃えることなく、表示装置全面にわたって均一な階調表示を得ることができる。また、各画素内のスイッチ素子での電力消費を低減することができる。また、従来の電圧変調法の場合と比べて、データ電極の駆動回路構成を大幅に簡略化することができる。

【0058】また、本発明の駆動方法を用いると、従来の時分割階調表示法の場合と比べて、アドレス時間が大幅に長くなり、各画素内スイッチ素子のスイッチ速度に対する要求が大幅に緩和されるため、従来法では実現困難であった、多数の走査線を有して、しかも多階調表示を行うことが可能になった。

【0059】また、本発明の画像表示装置を用いると、各制御電極ごとに結線される多数の駆動回路の回路構成を大幅に簡略化でき、大幅な低コスト化ができた。

【図面の簡単な説明】

【図1】本発明の実施の形態の第1の例での階調表示方法の一例を示した図である。

【図2】従来の各画素中のスイッチ素子の回路構成を示した図である。

【図3】従来の時分割階調表示法による駆動シーケンスの一例を示した図である。

【図4】本発明の実施の形態の第1の例での階調表示方法の他の例を示した図である。

【図5】本発明の実施の形態の第2の例での画素内スイッチ素子の構造を示した平面レイアウト図である。

【図6】本発明の実施の形態の第2の例での画素内スイッチ素子の構造を示した断面図である。

【図7】本発明の実施の形態の第2の例でのスイッチ素子アレイの構成を示した図である。

【図8】本発明の実施の形態の第2の例での輝度変調素子の構造を示した図である。

【図9】本発明の実施の形態の第2の例での駆動回路結線図である。

【図10】本発明の実施の形態の第2の例での各電極への印加電圧波形を示した図である。

【図11】本発明の実施の形態の第2の例での表示される階調を示した図である。

【図12】本発明の実施の形態の第3の例での輝度変調素子の構造を示した図である。

【図13】本発明の実施の形態の第4の例での輝度変調素子の構造を示した図である。

【図14】本発明の実施の形態の第5の例での輝度変調素子の構造を示した図である。

【図15】本発明の実施の形態の第6の例での輝度変調素子の構造を示した図である。

【図16】本発明の実施の形態の第6の例での制御電極駆動回路の構成を示した図である。

【図 17】本発明の実施の形態の第 6 の例での制御電極駆動回路の構成を示した図である。

【図 18】本発明の実施の形態の第 7 の例でのスイッチ素子アレイの回路構成を示した図である。

【図 19】本発明の実施の形態の第 7 の例での画素内スイッチ素子の構造を示した平面レイアウト図である。

【図 20】本発明の実施の形態の第 7 の例での画素内スイッチ素子の構造を示した断面構造図である。

【図 21】本発明の実施の形態の第 7 の例での階調表示素子の構造を示した図である。

【図 22】本発明の実施の形態の第 7 の例での駆動回路結線図である。

【図 23】本発明の実施の形態の第 7 の例での各電極への印加電圧波形を示した図である。

【図 24】各画素中のスイッチ素子の回路構成の一例を示した図である。

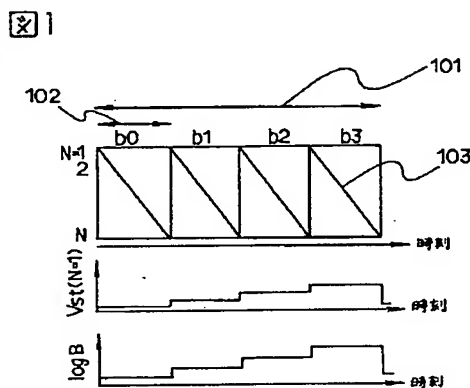
【図 25】本発明の実施の形態の第 4 の例での各電極への印加電圧波形を示した図である。

【符号の説明】

- 2 1 走査電極
- 2 2 データ電極
- 2 3 アース電極
- 3 0 スイッチ素子アレイ
- 3 1 トランジスタ A
- 3 2 トランジスタ B
- 3 3 保持容量
- 3 5 スイッチ素子電極
- 4 1 輝度変調素子

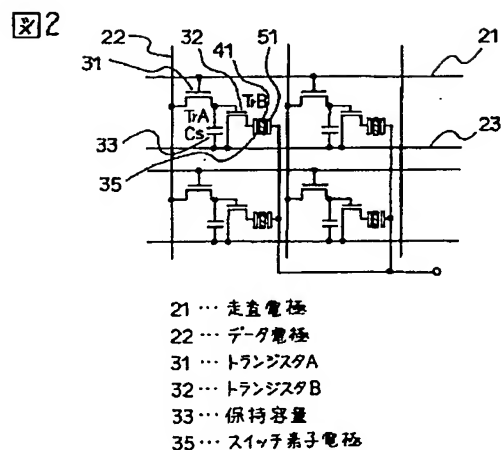
- 5 1 制御電極
- 5 2 ストレス電圧共通電極
- 1 0 1 1 フィールド期間
- 1 0 2 サブフィールド
- 1 0 3 アドレス期間
- 1 0 4 輝度発生期間
- 3 6 6 パシベーション膜
- 5 1 2 絶縁層
- 5 1 3 上部電極
- 5 1 5 保護層
- 5 4 1 抵抗層
- 5 4 2 エミッタチップ
- 5 4 3 絶縁層
- 5 5 2 発光層
- 5 5 3 上部絶縁層
- 5 5 4 保護層
- 5 5 5 電極間絶縁層
- 5 6 0 液晶物質
- 5 6 2 面板
- 5 6 3 偏光板
- 5 6 4 偏光板
- 6 1 1 トランジスタ
- 6 1 2 ダイオード
- 6 2 1 トランジスタ
- 6 2 2 ダイオード
- 6 2 3 否定論理回路
- 6 3 1 p 型トランジスタ
- 6 3 2 n 型トランジスタ

【図 1】



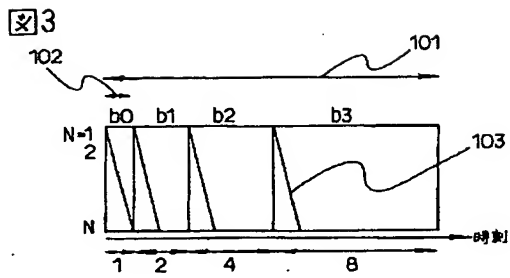
- 101 ... 1フィールド期間
- 102 ... サブフィールド
- 103 ... アドレス期間

【図 2】

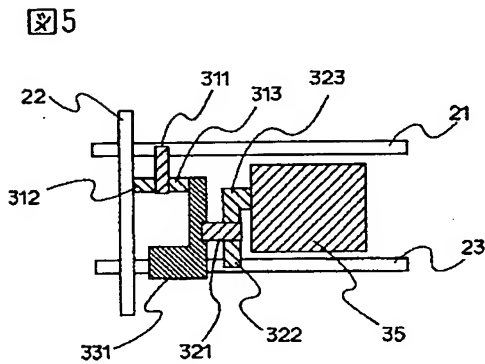


- 21 ... 走査電極
- 22 ... データ電極
- 31 ... トランジスタA
- 32 ... トランジスタB
- 33 ... 保持容量
- 35 ... スイッチ素子電極

【図 3】

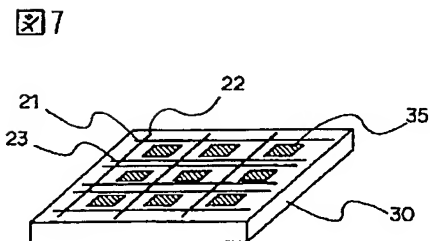


【図 5】



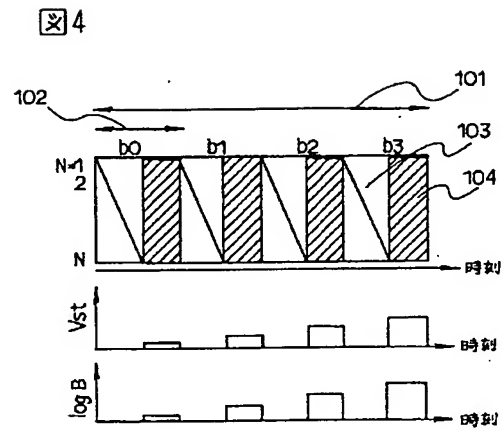
23 … アース電極  
311 … ゲート  
312 … ソース  
313 … ドレイン  
321 … ゲート  
331 … 容量電極

【図 7】



21 … 走査電極  
22 … データ電極  
23 … アース電極  
30 … スイッチ素子アレイ  
35 … スイッチ素子電極

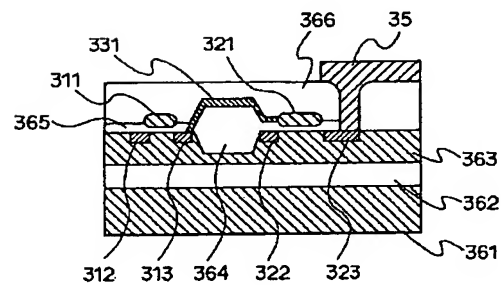
【図 4】



103 … アドレス期間  
104 … 輝度発生期間

【図 6】

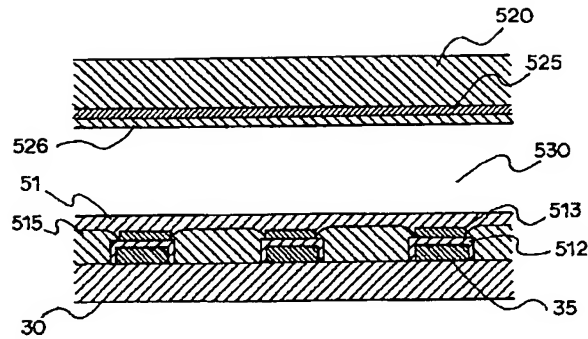
図 6



35 … スイッチ素子電極  
311 … ゲート  
312 … ソース  
313 … ドレイン  
321 … ゲート  
323 … ドレイン  
361 … シリコン基板  
362 … SiO<sub>2</sub>層  
363 … P型シリコン単結晶層  
364 … フィールド酸化膜  
365 … ゲート酸化膜  
366 … パッシベーション膜

【図8】

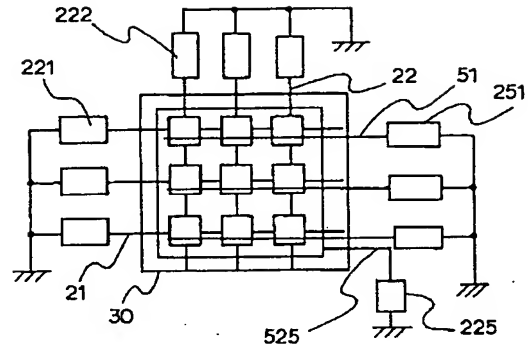
図8



- 35 … スイッチ素子電極  
 51 … 制御電極  
 512 … 絶縁層  
 513 … 上部電極  
 515 … 保護層  
 520 … 面板  
 525 … 加速電極  
 526 … 蛍光体  
 530 … 真空

【図9】

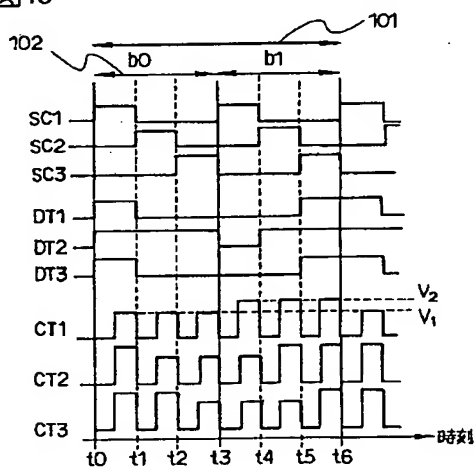
図9



- 21 … 走査電極  
 22 … データ電極  
 51 … 制御電極  
 221 … 走査電極駆動回路  
 222 … データ電極駆動回路  
 225 … 加速電極駆動回路  
 251 … 制御電極駆動回路  
 525 … 加速電極

【図10】

図10



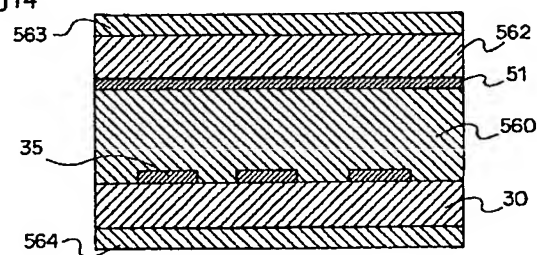
【図11】

図11

$$\begin{array}{c}
 \begin{array}{ccc}
 DT1 & DT2 & DT3 \\
 SC1 & \begin{bmatrix} 1 & 1 & 1 \\ 0 & 1 & 0 \\ 0 & 1 & 0 \end{bmatrix} \\
 SC2 & \\
 SC3 & 
 \end{array}
 + 
 \begin{array}{ccc}
 b0 & b1 & \\
 \begin{bmatrix} 0 & 0 & 0 \\ 0 & 2 & 0 \\ 2 & 2 & 2 \end{bmatrix} & \begin{bmatrix} 1 & 1 & 1 \\ 0 & 3 & 0 \\ 2 & 3 & 2 \end{bmatrix} & \\
 \text{(第1サブフィールド)} & \text{(第2サブフィールド)} & 
 \end{array}
 = 
 \begin{array}{ccc}
 \begin{bmatrix} 1 & 1 & 1 \\ 0 & 3 & 0 \\ 2 & 3 & 2 \end{bmatrix} \\
 \text{17フィールド全体}
 \end{array}
 \end{array}$$

【図14】

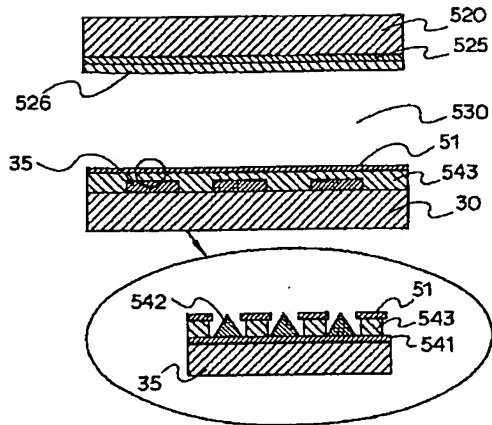
図14



- 30 … スイッチ素子アレイ  
 35 … スイッチ素子電極  
 51 … 制御電極  
 560 … 液晶物質  
 562 … 面板  
 563, 564 … 偏光板

【図12】

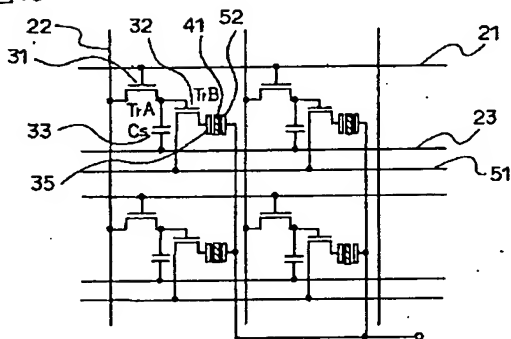
図12



30 … スイッチ素子アレ  
35 … スイッチ素子電極  
51 … 制御電極  
520 … 面板  
525 … 加速電極  
526 … 蛍光体  
530 … 真空  
541 … 抵抗層  
542 … エミッタチャップ  
543 … 絶縁層

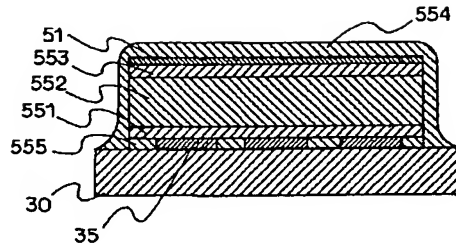
【図15】

図15



【図13】

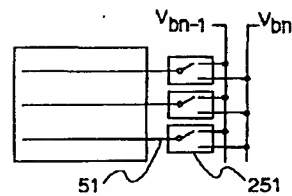
図13



30 … スイッチ素子アレ  
35 … スイッチ素子電極  
51 … 制御電極  
551 … 下部絶縁層  
552 … 発光層  
553 … 上部絶縁層  
554 … 保護層  
555 … 電極間絶縁層

【図16】

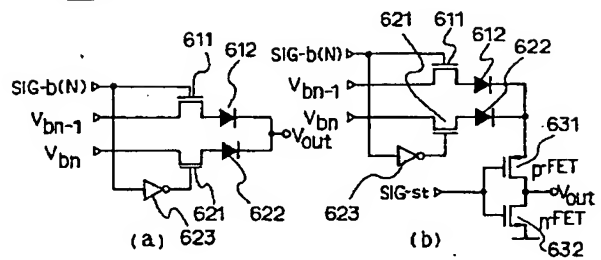
図16



51 … 制御電極  
251 … 制御電極駆動回路

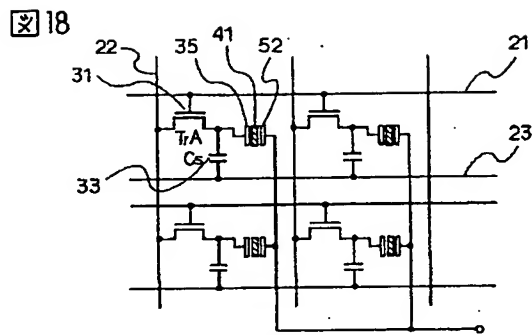
【図17】

図17



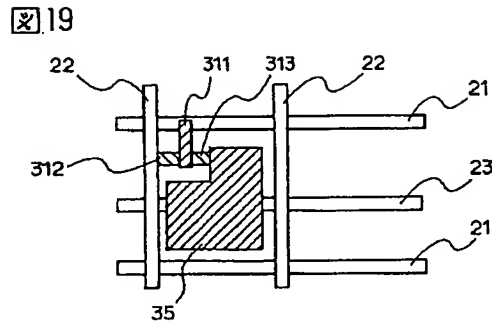
611 … トランジスタ  
612 … ダイオード  
621 … トランジスタ  
623 … 否定論理回路  
631 … p型トランジスタ  
632 … n型トランジスタ

【図18】



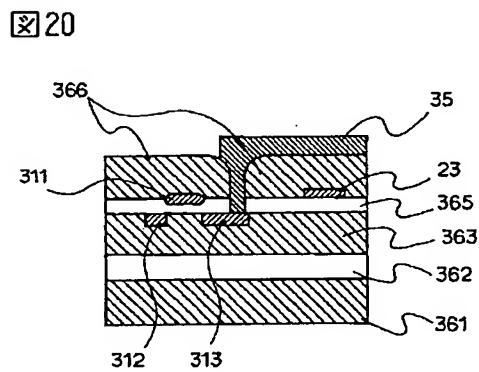
41 … 光強度変調素子  
52 … ストレス電圧共通電圧

【図19】

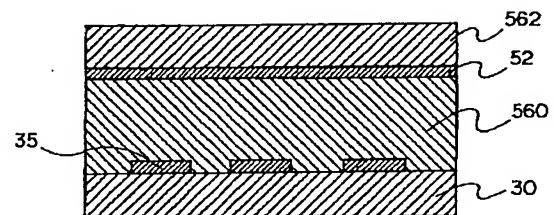


【図21】

【図20】



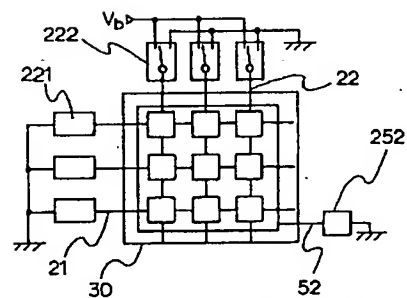
23 … アース電極  
35 … スイッチ素子電極  
311 … ゲート  
312 … ソース  
313 … ドレイン  
361 … シリコン基板  
362 … SiO<sub>2</sub>層  
363 … P型シリコン単結晶層  
365 … ゲート酸化膜  
366 … パシベーション膜



30 … スイッチ素子アレイ  
35 … スイッチ素子電極  
52 … ストレス電圧共通電極  
560 … 液晶物質  
562 … 面板

【図22】

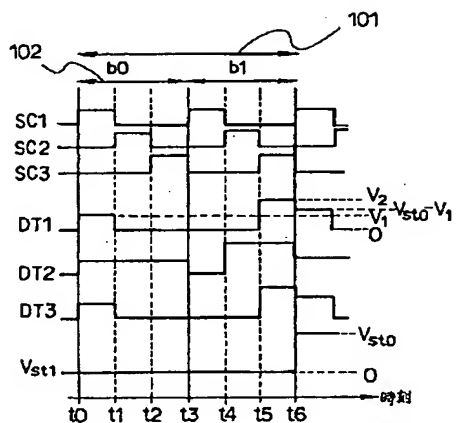
【図22】



52 … ストレス電圧共通電極  
222 … データ電極駆動回路  
252 … ストレス電圧駆動回路

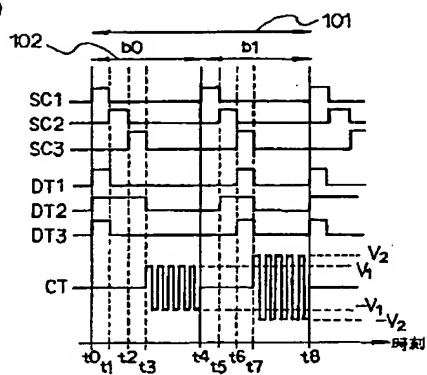
【図 2 3】

図 23



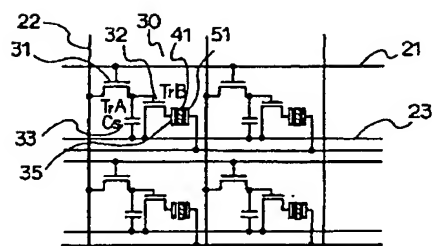
【図 2 5】

図 25



【図 2 4】

図 24



21 … 走査電極      35 … スイッチ素子電極  
 22 … データ電極    41 … 輝度変調素子  
 30 … スイッチ素子アレイ    51 … 制御電極